

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-282889

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

G11C 16/06
G06F 12/02

(21)Application number : 04-077940

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1992

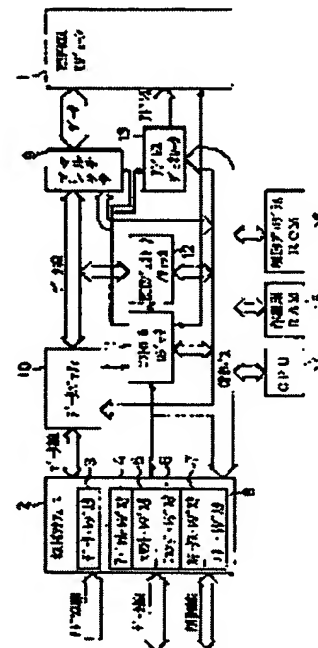
(72)Inventor : OKAMOTO YUTAKA
TANAKA YOSHIYUKI

(54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To write and to increase a life.

CONSTITUTION: The nonvolatile semiconductor memory comprises memory means 1 having a plurality of blocks as minimum erasable unit, managing means for unused blocks, erasing means for sequentially erasing identified unerased blocks of the unused blocks, and control means for sequentially writing data in managed unused block, informing to the managing means as an unused block a block recorded with old data when the old data is not necessary in case where a content of written data is modified from the recorded old data and copying data of necessary part of the old data as required in a block to be written with new data.



LEGAL STATUS

[Date of request for examination] 31.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3485938

[Date of registration] 24.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-282889

(43) 公開日 平成5年(1993)10月29日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G11C 16/06				
G06F 12/02	510	8841-5B		
		6741-5L	G11C 17/00	309 F

審査請求 未請求 請求項の数 1 (全15頁)

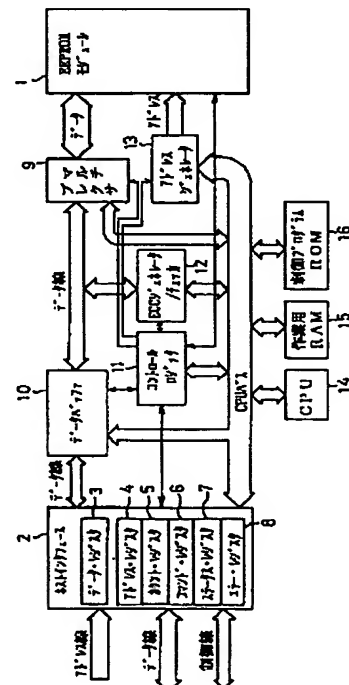
(21) 出願番号	特願平4-77940	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成4年(1992)3月31日	(72) 発明者	岡本 豊 神奈川県川崎市幸区小向東芝町1 株式会 社東芝総合研究所内
		(72) 発明者	田中 義幸 神奈川県川崎市幸区小向東芝町1 株式会 社東芝総合研究所内
		(74) 代理人	弁理士 三好 保男 (外1名)

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【要約】

【目的】 本発明は、書き込みを行うとともに長寿命化を図ることを目的とする。

【構成】 複数の各ブロックを最小消去単位とするメモリ手段1と、未使用ブロックの管理手段と、未使用ブロックのうち識別した未消去ブロックを順次消去する消去手段と、データの書き込みは管理された未使用ブロックに順に行い、書き込みデータの内容が記録された旧データを変更したものであってその旧データが不要のときはその旧データが記録されていたブロックを未使用として管理手段に通知し、所要のときは旧データ中の必要部分のデータを新たなデータを書き込むブロックにコピーする制御手段とを有することを特徴とする。



【特許請求の範囲】

【請求項1】 複数のブロックに分割されたメモリセルアレイを備え、当該ブロックを最小消去単位として構成されたメモリ手段と、未使用の前記ブロックを管理する管理手段と、前記未使用のブロックのうち消去されたものと未消去のものを識別し未消去のブロックを順次消去する消去手段と、データの書き込みは前記管理手段で管理された未使用ブロックに順に行い、書き込みを行うデータの内容及既に記録された旧データを変更したものであってその旧データが不要である場合には当該旧データの記録されていたブロックを未使用として前記管理手段に通知し、所要の場合には前記旧データの中の必要とされる部分のデータを新たなデータを書き込むブロックにコピーする制御手段とを有することを特徴とする不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電氣的に書換可能な不揮発性半導体メモリ素子（EEPROM）の中のNAND型EEPROMを用いた不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】 一般にコンピュータシステムにおける書換可能な記憶装置（記憶素子）は、その容量に物理的な限界があるため、不要になった情報の上に新しい情報を重ね書きして使用される。書換可能な記憶装置（記憶素子）は、その重ね書きの方法で大別すると2通りに分けることができる。その一つは、ランダムアクセスメモリ（RAM）やハードディスク、フロッピディスク或いは磁気テープのように、古い情報の上に新しい情報をそのまま書き出来るものである。他の一つは、ある種の光記憶装置やEEPROMのように重ね書きされる古い情報を一度消去してからでないと新しい情報が書き込めないものである。

【0003】 NAND型EEPROMの消去方法は2通りあり、その一つは、例えばインテル社製フラッシュEEPROMのようにチップ全体の情報を一度に消去する方法である。他の一つは、チップの一部分の情報のみを選択的に消去する方法である。

【0004】 NAND型EEPROMでは、連続してデータを読み出したり、データを書き込んだりするための構造的に連続する複数の記憶セルをページという単位で呼んでいる。例えば、4MビットEEPROMでは、1ページは、4096ビットの記憶セルで構成されている。また、構造的に連続する複数ページはブロックという単位で呼ばれる。例えば、4MビットEEPROMでは、8ページ（4kバイト）分の記憶セルで1ブロックが構成されている。NAND型EEPROMで、チップの一部分の情報のみを選択的に消去する場合の単位は、このブロックと一致している。

【0005】 NAND型EEPROMは、上記のようにデータの一部分のみを消去できるので、磁気ディスク装置におけるように、1セクタ分のデータのみを書き換えるといった操作が比較的容易におこなえる不揮発性記憶素子である。そこで、機械的強度に関する信頼性、低消費電力、読み出し時間の高速性といった半導体メモリの特徴を生かして、従来の磁気ディスク装置を置き換えるような用途に使われた。

【0006】 ところが、EEPROMは、データ読み出しのためのアクセス時間が高速である割に、データ書き込みには時間がかかる。例えば、4MビットNAND型EEPROMの場合、1ブロックのデータ読み出しに要する時間が約490μsecであるのに対し、1ブロックを消去して書き換えるには、消去に約10msec、データ書き込みに約4msecの時間を要する。

【0007】 さらに、現状の技術ではデータの書換回数に制限があり、10⁴回ないし10⁵回程度の書換で寿命となる。よって、同一のブロックに対してデータの重ね書きが集中するとチップ自体の寿命を縮めてしまうという問題があった。

【0008】

【発明が解決しようとする課題】 以上のようにNAND型EEPROMを用いた従来の不揮発性半導体メモリ装置は、データの読み出し時間に比べて書き込みに時間がかかり、しかも、書換回数に制限があるため同一ブロックに重ね書きが集中すると寿命を縮めるという問題があった。

【0009】 本発明は、このような問題を解決し、書き込みを高速に行うことができるとともに長寿命化を図ることのできる不揮発性半導体メモリ装置を提供することを目的とする。

【0010】

【課題を解決するための手段】 本発明は上記課題を解決するために、複数のブロックに分割されたメモリセルアレイを備え、当該ブロックを最小消去単位として構成されたメモリ手段と、未使用の前記ブロックを管理する管理手段と、前記未使用のブロックのうち消去されたものと未消去のものを識別し未消去のブロックを順次消去する消去手段と、データの書き込みは前記管理手段で管理された未使用ブロックに順に行い、書き込みを行うデータの内容及既に記録された旧データを変更したものであってその旧データが不要である場合には当該旧データの記録されていたブロックを未使用として前記管理手段に通知し、所要の場合には前記旧データの中の必要とされる部分のデータを新たなデータを書き込むブロックにコピーする制御手段とを有することを要旨とする。

【0011】

【作用】 上記構成において、新たなデータの書き込みは、可能な限り予め消去された未使用のブロック領域に対して行われる。これにより不揮発性半導体メモリ装置

において本来書き込みに先だって行う必要があり且つアクセス時間の増大を余儀なくさせる消去動作が省略されて高速書き込みが可能になる。また、同一データを更新／変更する場合でも、物理的な書き込み位置は書き込みの都度変るため、特定のブロックに対する書き込み回数の増加が回避されて長寿命化を図ることが可能となる。

【 0 0 1 2 】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【 0 0 1 3 】 図 1 は、不揮発性半導体メモリ装置の全体構成を示すブロック図である。同図において 1 はメモリ手段としての NAND 型 EEPROM モジュールであり、複数のページからなるブロックに分割されたメモリセルアレイで構成されている。EEPROM モジュール 1 はデータ線で結ばれたホストインターフェイス 2 を介して図示省略のホストシステムに接続されている。データ線上には、マルチプレクサ 9 及びデータバッファ 10 が設けられている。また、ホストインターフェイス 2 内には、データレジスタ 3、アドレスレジスタ 4、カウンタレジスタ 5、コマンドレジスタ 6、ステータレジスタ 7 及びエラーレジスタ 8 が設けられている。11 はコントロールロジック、12 は ECC (誤差修正コード) ジェネレータ／チェッカ、13 はアドレスジェネレータ、14 は消去手段及び制御手段としての機能を有する CPU、15 は作業用 RAM、16 は制御プログラム ROM である。制御プログラム ROM 16 には、データ書き込み等のための一連の制御プログラムが格納されるようになっている。

【 0 0 1 4 】 本実施例のメモリ装置は、不揮発性メモリ領域である EEPROM モジュール 1 に記録されるデータに関し、その位置を割付け、管理するために管理テーブルを使用する。このテーブルは、他のユーザデータとともに EEPROM モジュール 1 に記録されるが、この装置が起動するときに自動的に作業用 RAM 15 に読み込まれる。また、このテーブルは、EEPROM モジュール 1 への書き込みが行われる度にその内容が更新されるが、この更新されたテーブルは、その都度、或いは装置の使用が終了する時点で EEPROM モジュール 1 に書き戻されることとする。

【 0 0 1 5 】 このテーブルの一つは、図 3 にその構成を示す未使用ブロックを管理するためのテーブルである。他の一つは、図 4 に示すホストシステムが指定してくるアドレスとメモリモジュール上の物理的なアドレスとの対照テーブルである。

【 0 0 1 6 】 まず図 3 の未使用ブロックを管理するためのテーブルの一例を説明する。テーブルの 1 番目 210 は、未使用のデータブロックを連鎖状に管理するためのもので、チェーンの先頭のブロックへのポインタである。テーブルの 2 番目 211 は、同じ目的のポインタであるがチェーンの最後尾へのポインタである。テーブル

の 3 番目から $n + 2$ 番目は、NAND 型 EEPROM モジュール 1 の物理的なブロックの 1 番目から n 番目に対応している。これらの内容は、212 に例示するように、さらに、次の未使用ブロックへのポインタ 213 と消去フラグ 214 とから構成されている。テーブルの m 番目 218 の中のポインタのようにその内容が " - 1 " であった場合にはチェーンの最後尾であることを示すものとする。よってこの例では、最後尾ポインタ 211 はテーブルの m 番目 218 をポイントするため内容は m にセットされる。消去フラグ 214 は、対応するブロックが消去済みであるか否かを示すもので、ここでは " 0 " の場合は消去済み、" 1 " の場合は未消去を表すものとする。

【 0 0 1 7 】 具体的な例を用いてデータが記録される際の動作の概要を述べる。

【 0 0 1 8 】 いま、未使用ブロックの連鎖が図 2 (a) のようであると仮定する。データを記録するには、まず、先頭ポインタ 101 の内容を調べる。図 2 (a) では 53 番目のテーブルをポイントしているから、書き込み可能な NAND 型 EEPROM モジュール 1 上の物理的なブロックアドレスはオフセット 2 を減じた 51 となる。ブロック 51 に書き込みを行なったら、先頭ポインタ 101 の値を、102 のポイント先 33 にセットしなおしてブロック 51 に対応するテーブル 102 をこのチェーンから外す。結果を図 2 (b) に示す。

【 0 0 1 9 】 この書き込みに伴って、既存のブロックのデータが不要になった場合には、さらに、図 2 (c) に示すようにテーブルが更新されるような操作を行う。不要になったデータを記録していたのがブロック 45 であったとすると、最後尾ポインタ 105 がポイントしているテーブルの 151 番目 104 の中のポインタと最後尾ポインタ 105 の値をブロック 45 に対応するテーブル番号 47 にセットしなおす。テーブルの 47 番目 107 の中のポインタは " - 1 " に、消去フラグは " - 1 " に設定される。

【 0 0 2 0 】 未使用ブロックのチェーンに加えられた直後のブロックは消去されていないので、読み出し／書き込みアクセスが途絶えたときにチェーンを順次手繰りながら、消去を行い、そのブロックに対応するテーブルの消去フラグを " 0 " にセットする。

【 0 0 2 1 】 次いで、図 4 の対照テーブルを説明する。テーブルの長さ n は、NAND 型 EEPROM モジュール 1 のブロック以下とする。例えば、以後簡単のためにここでは EEPROM モジュール 1 が 4 M ビット EEPROM 1 個で構成されていると仮定すると、1 ブロックの容量は 4 k バイトであるから、ブロックの総数は 128 個となり、対照テーブルの項目数 n も 128 以下である。

【 0 0 2 2 】 この装置では、EEPROM モジュール 1 のブロックの容量に相当するデータ量を単位として、E

10

20

30

40

50

EPROMモジュール1上の物理的位置の割り付けを行う。即ち、テーブルの1項目めは、ホストシステムから指定される最初の4kバイト分のデータが実際に記録される物理的位置を示している。図4の例では、203は、テーブルの3番目の項目であるから、ホストシステムから指定してくるアドレス（以後論理アドレスと記載）の8kバイト目からの4kバイトが、実際にはEPROMモジュール1の101番目のブロックに割り当てられていることを示している。また、201、202のように“-1”の書かれたテーブルは、その位置に対応する論理アドレスへの書き込みがまだ行われていないため、物理的な領域の割り付けが行われていないことを示す。

【0023】次に、この装置の動作を説明する。

【0024】ホストシステムは、図1のホストインターフェイス2内のアドレスレジスタ4にアクセス開始アドレスを、カウントレジスタ5にアクセスしたいデータのセクタ長をセットし、最後にコマンドレジスタ6に読み出し/書き込み等の命令をセットする。ホストインターフェイス2のコマンドレジスタ6にアクセス命令が書き込まれると、コントローラ内のCPU14は、コマンドレジスタ6内の命令を読み込み、制御プログラムROM16に納められたコマンド実行のための一連の制御プログラムを実行する。以下の説明では、簡単のためホストシステムの指定してくるセクタ長とEPROMモジュール1におけるページ長は一致しているものと仮定する。

【0025】図5は、EPROMモジュール1からデータを読み出す手順を示すフローチャートである。まず、図1のCPU14は、ホストインターフェイス2にセットされた開始アドレスと管理テーブル内のアドレス変換テーブルを参照して読み出しを行うべきEPROMモジュール1上の物理的なアドレスを決定する（ステップ301）。次に、EPROMモジュール1からデータバッファ10にデータを読み出す（ステップ302）。次いで、後に詳述するようなエラー処理及びデータバッファ10からホストシステムへのデータ転送等を実行する（ステップ303～305）。

【0026】図6は、EPROMモジュール1からデータバッファにデータを読み出す手順を示すフローチャートである。CPU14は、EPROMモジュール1をマルチプレクサ9を通してアクセスし読み出しモードに設定し、データバッファ10を読み出しモードに設定する（ステップ401、402）。アドレスジェネレータ13には、読み出しを行うべきEPROMモジュール1の物理的なアドレスを設定する（ステップ403）。そして、データバッファ10に、読み出したデータを蓄えるべき領域を決定してその先頭番地をデータバッファ10への書き込みアドレスとして設定する（ステップ404）。その後、コントロールロジック11に対してデ

ータ読み出しのための定められたシーケンスを実行するように指令を送る。

【0027】コントロールロジック11は、マルチプレクサ9をEPROMモジュール1からの読み出しデータがデータバッファ10に流れるように設定し、アドレスジェネレータ13の内容をインクリメントしながら、1セクタ分のデータを読み出す（ステップ405）。また、ECCジェネレータ/チェッカ12をこれらのデータ及びこれに付随して読み出されるECCコードを使って誤りを検出するように制御する。1セクタ分のデータが読み出されると、CPU14は、ECCジェネレータ/チェッカ12をチェックしデータの誤りを検査する（ステップ406）。誤りが検出されなかった場合、又は検出されても訂正が行えた場合は、データバッファ10からホストシステムにデータを転送する。もし、訂正不可能な誤りが検出された場合には、ホストシステムに対するデータ転送は行わずに、CPU14は、ホストインターフェイス2内のステータスレジスタ7にエラーが起きたことを示すコードを、エラーレジスタ8にエラーの内容を示すコードを設定し、ホストシステムに命令の実行が異常終了したことを通知して処理を終了する（ステップ407～410）。

【0028】図7は、データバッファからホストシステムにデータを転送する手順を示すフローチャートである。CPU14は、データバッファ10に読み出したデータが蓄えられた領域の先頭番地を同バッファからの読み出しアドレスとして設定し（ステップ501、502）、コントロールロジック11に対して、ホストシステムに1セクタ分のデータの転送を行うように指令する。コントロールロジック11は、データバッファ10とホストインターフェイス2を制御してホストシステムに対して1セクタ分のデータを転送し（ステップ503）、これが終了するとアドレスレジスタ4を1セクタ分進め、カウントレジスタ5から1を減じ、CPU14に転送が終了したことを通知する。ホストシステムに転送すべきデータが残っている限り、CPU14はこの制御を繰り返す。読み出しデータが全て転送されたら、CPU14は、ホストインターフェイス2内のステータスレジスタ7にエラーの無かったことを示すコードを設定し、ホストシステムに命令の実行が終了したことを通知して処理を終了する。

【0029】図8及び図9は、EPROMモジュール1へデータを書き込む手順を示すフローチャートである。CPU14はホストインターフェイス2にセットされた開始アドレスと管理テーブル内のアドレス変換テーブルを参照して、ホストシステムが書き込みを行おうとしているアドレスに割り振られているEPROMモジュール1上のブロックを割り出す（ステップ601）。ホストシステムの指示するアドレスに対応するEPROMモジュール1上のブロックが既に割り振られてい

て、かつ、ホストシステムからの要求がそのブロックのデータの全てを書き換えるものでない場合は、ブロック内の書き換えられないデータをデータバッファ 10 に読み込む（ステップ 602～604）。EEPROM モジュール 1 からデータバッファ 10 にデータを読み出す手順は、先に図 6 のフローチャートを用いて説明した。ブロック内の重ね書きされない部分のデータが全てデータバッファ 10 に読み込まれるまで図 6 の処理が繰り返される。次いで、後に詳述するようなホストシステムからデータバッファ 10 への書き込みデータの転送、データ

バッファ 10 から EEPROM モジュール 1 へのデータの書き込み処理及びエラー処理等を実行する（ステップ 605～611）。
 【0030】図 10 は、ホストシステムからデータバッファに書き込みデータを転送する手順を示している。CPU 14 は、データバッファ 10 を書き込みモードに設定し（ステップ 701）、ホストシステムから転送されてくるデータが蓄えられるデータバッファ 10 上のアドレスを同バッファへの書き込みアドレスとして設定する（ステップ 702）。その後、コントロールロジック 11 に対して、ホストシステムから 1 セクタ分のデータの転送を行うように指令する。コントロールロジック 11 は、データバッファ 10 とホストインターフェイス 2 を制御してホストシステムから 1 セクタ分のデータを受け取り、これが終了すると CPU 14 に転送が終了したことを通知する（ステップ 703）。図 10 の処理は、ホストシステムから転送すべきデータが残っていて、かつ、データバッファ 10 に EEPROM モジュール 1 の書き込みを行おうとしているブロックのためのデータが不足している限り続けられる。ホストシステムからの転送が終了したら、CPU 14 はホストインターフェイス 2 にセットされた開始アドレスと未使用ブロックを管理するテーブルを参照して、先に説明したように未使用ブロックのチェーンを手繰って、データバッファ 10 に蓄えられた 1 ブロック分のデータが書き込まれるべき EEPROM モジュール 1 上の未使用ブロックを決定し、EEPROM モジュール 1 上に書き込みを行う。

【0031】図 11 は、データバッファ内のデータ 1 ページ分を EEPROM モジュールに書き込む手順を示したフローチャートである。CPU 14 は、EEPROM モジュール 1 とデータバッファ 10 に必要ならば初期設定を施した後（ステップ 801、802）、書き込みを行うページの先頭アドレスをアドレスジェネレータ 13 に設定し（ステップ 803）、データバッファ 10 には、書き込まれるデータの先頭アドレスを同バッファの読み出しアドレスとして設定する（ステップ 804）。そして、コントロールロジック 11 に対してデータ書き込みのための定められたシーケンスを実行するように指令を送る。コントロールロジック 11 は、マルチプレクサ 9 をデータバッファ 10 からの書き込みデータが E

PROM モジュール 1 に流れるように設定し、アドレスジェネレータ 13 の内容をインクリメントしながらデータを書き込む（ステップ 805）。また、ECC ジェネレータ/チェッカ 12 をこれらのデータから ECC コードを生成するように制御し、データとともにこのコードも記録する（ステップ 806）。図 11 の処理は、書き込みエラーが発生するか、1 ブロック分のデータを書き終えるかするまで続けられる（ステップ 807）。データの書き込みが正常に行えなかった場合はエラー処理を行い、1 ブロック分のデータが書き込まれるべき EEPROM モジュール 1 上のブロックを割付けなおして、再度、書き込みを行なう。書き込みが正常に終了したら管理テーブルの内容を更新する。

【0032】ホストシステムの要求するデータを全て記録し終えるか、エラーからの回復が不可能で処理を中断した場合は、CPU 14 は、ホストインターフェイス 2 内のステータスレジスタ 7 に所定のコードを設定し、ホストシステムに命令の実行が終了したことを通知する。ホストインターフェイス 2 のコマンドレジスタ 6 にアクセス命令が書き込まれない適当なタイミングに、コントローラ内の CPU 14 は、先に説明したように、未使用ブロック管理テーブルのチェーンを手繰りながら未消去のブロックを順次消去してゆく。

【0033】なお、上記の実施例では、EEPROM モジュールは、ホストインターフェイスを介して、ホストシステムと並行して動作可能なコントローラにより制御される形態を取っているが、ホストシステムの CPU により直接制御される形態を取ってもよい。その他、本発明はその主旨を逸脱しない範囲で種々変形して用いることができる。

【0034】

【発明の効果】以上説明したように、本発明によれば、新たなデータの書き込みは、可能な限り予め消去された未使用のブロックに対して行うようにしたため、本来書き込みに先だって行う必要があり且つアクセス時間の増大を余儀なくさせる消去動作が省略されて書き込みを高速に行うことができる。また、同一データを更新/変更する場合でも、物理的な書き込み位置は書き込みの度ごとに変るため、特定のブロックに対する書き込み回数の増加が回避されて長寿命化を図ることができる。

【図面の簡単な説明】

【図 1】本発明に係る不揮発性半導体メモリ装置の実施例を示すブロック図である。

【図 2】本実施例において未使用ブロックを管理するテーブルの操作を説明するための図である。

【図 3】本実施例における未使用ブロックを管理するテーブルの操作を説明するための図である。

【図 4】本実施例におけるアドレス変換用の対照テーブルの構成を示す図である。

【図 5】本実施例において EEPROM モジュールから

データの読み出し処理を説明するためのフローチャートである。

【図 6】本実施例においてEEPROMモジュールからデータバッファへのデータの読み出し処理を説明するためのフローチャートである。

【図 7】本実施例においてデータバッファからホストシステムへの読み出しデータの転送処理を説明するためのフローチャートである。

【図 8】本実施例においてEEPROMモジュールへのデータの書き込み処理を説明するためのフローチャートである。

【図 9】本実施例においてEEPROMモジュールへの

データの書き込み処理を説明するためのフローチャートである。

【図 10】本実施例においてホストシステムからデータバッファへの書き込みデータの転送処理を説明するためのフローチャートである。

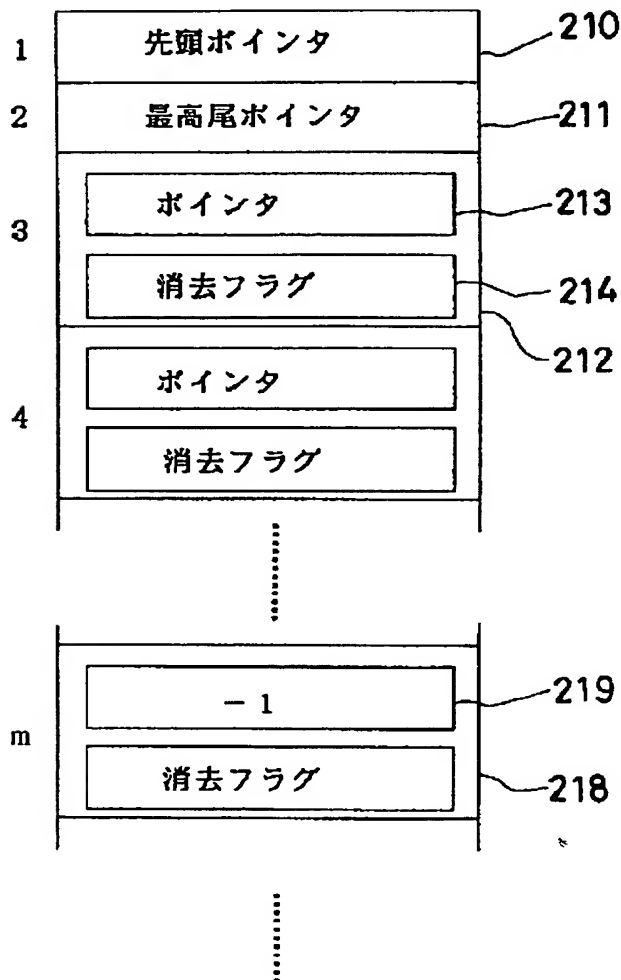
【図 11】本実施例においてデータバッファ内のデータをEEPROMモジュールに書き込む処理を説明するためのフローチャートである。

【符号の説明】

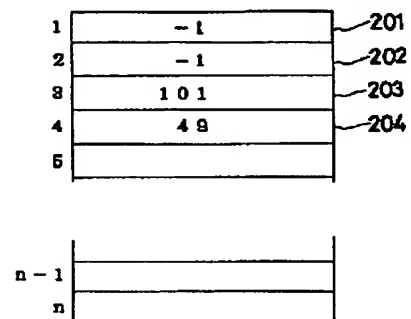
1 EEPROMモジュール（メモリ手段）

14 未消去ブロックの消去処理、書き込み処理及びコピー処理等を実行するCPU

【図 3】

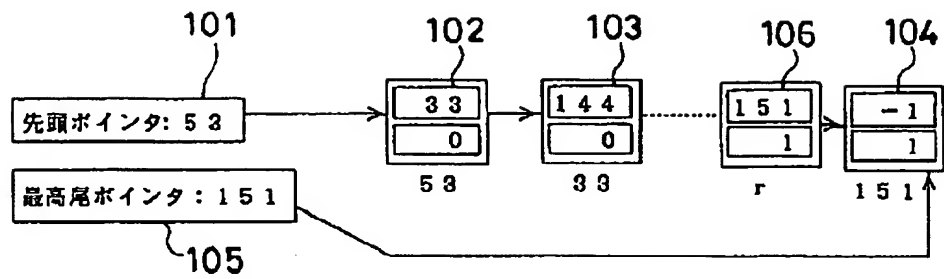


【図 4】

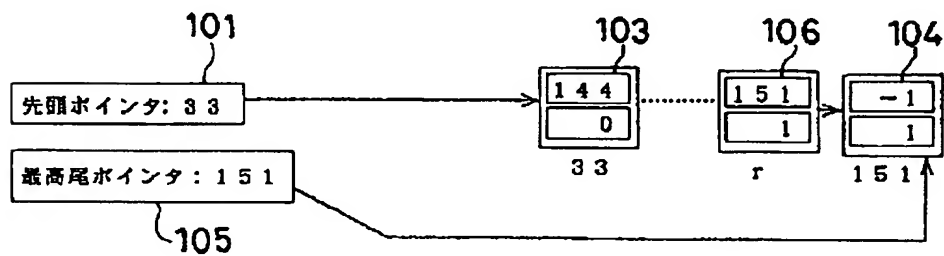


〔図 2〕

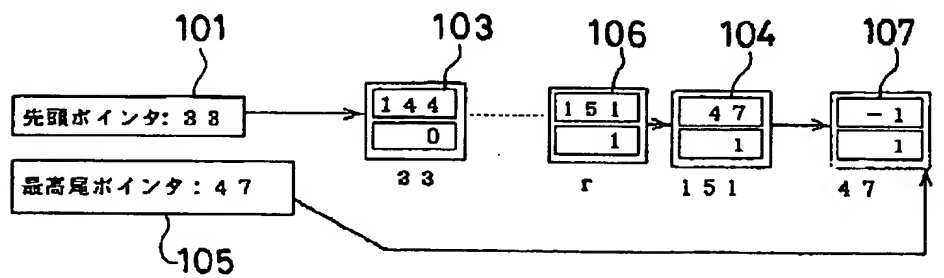
(a)



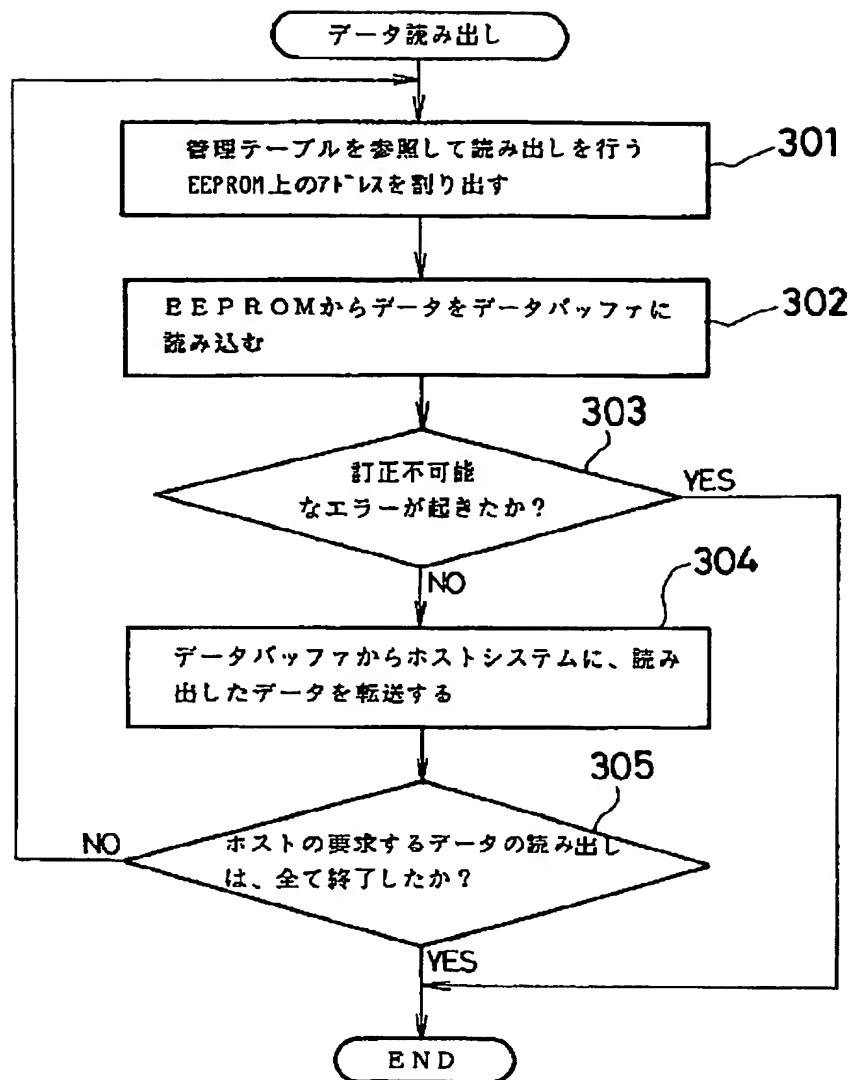
(b)



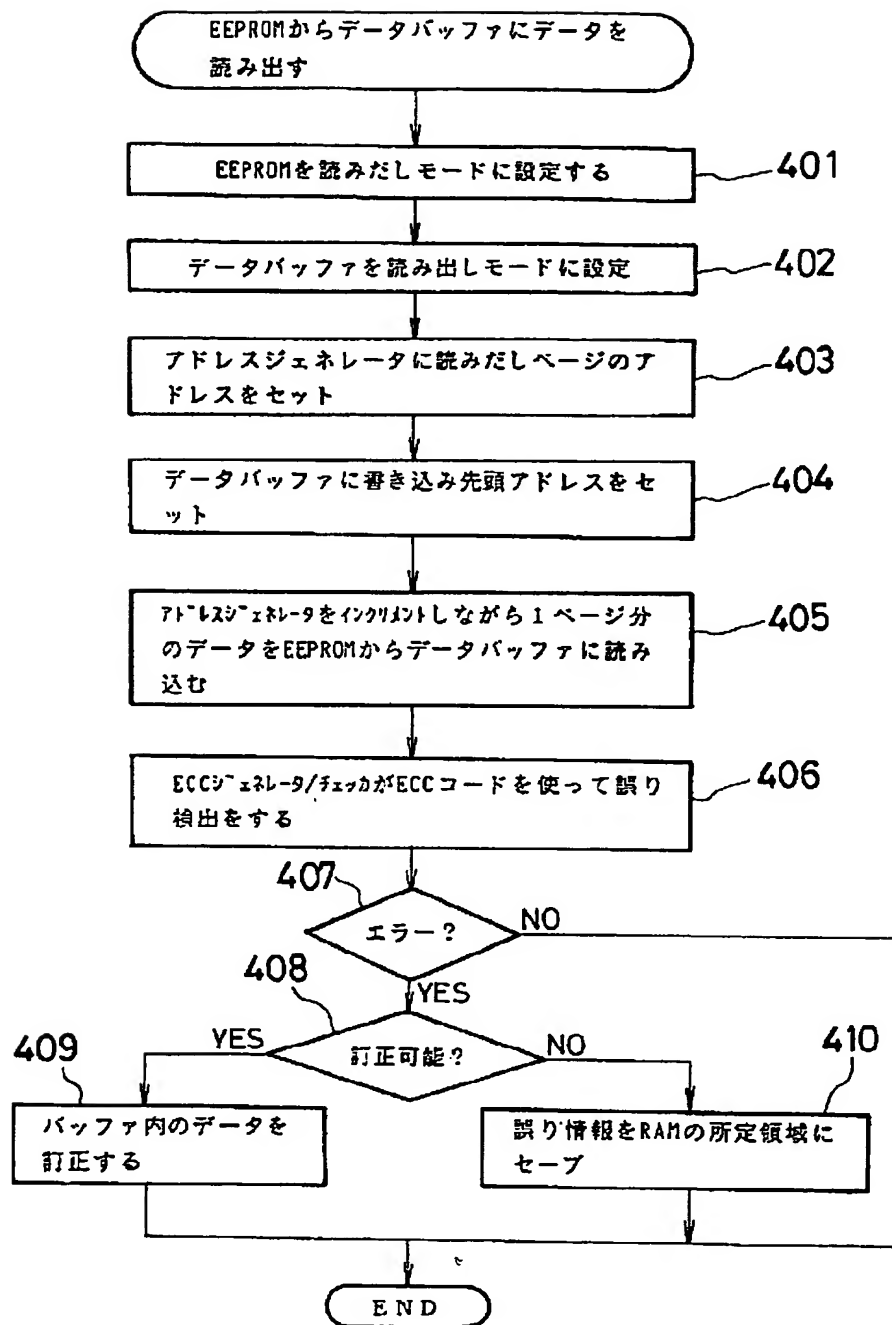
(c)



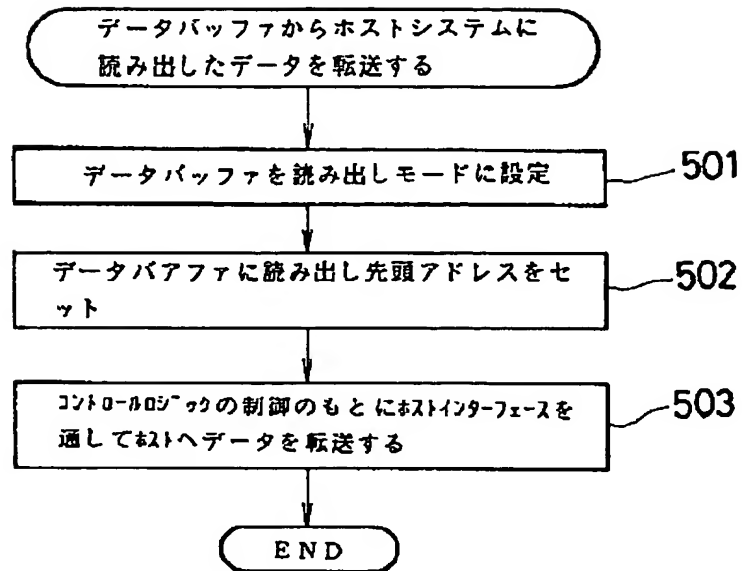
【図5】



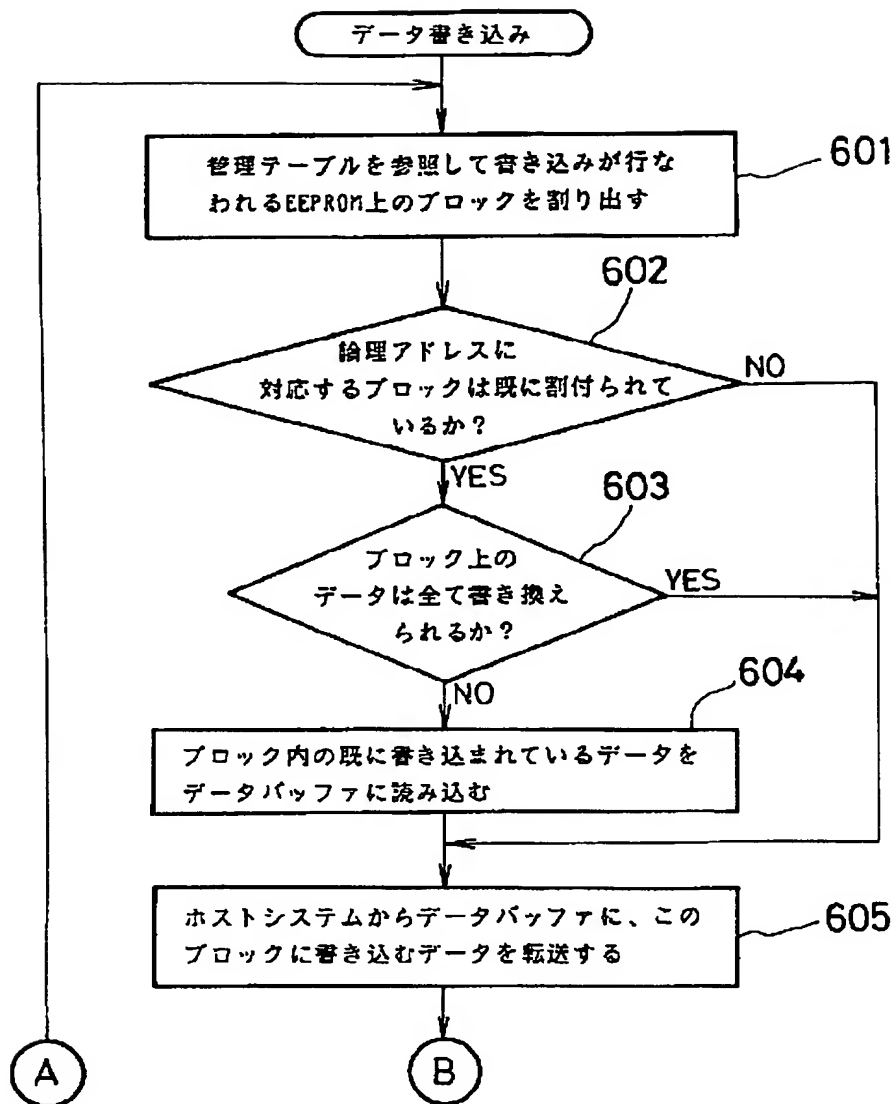
【図6】



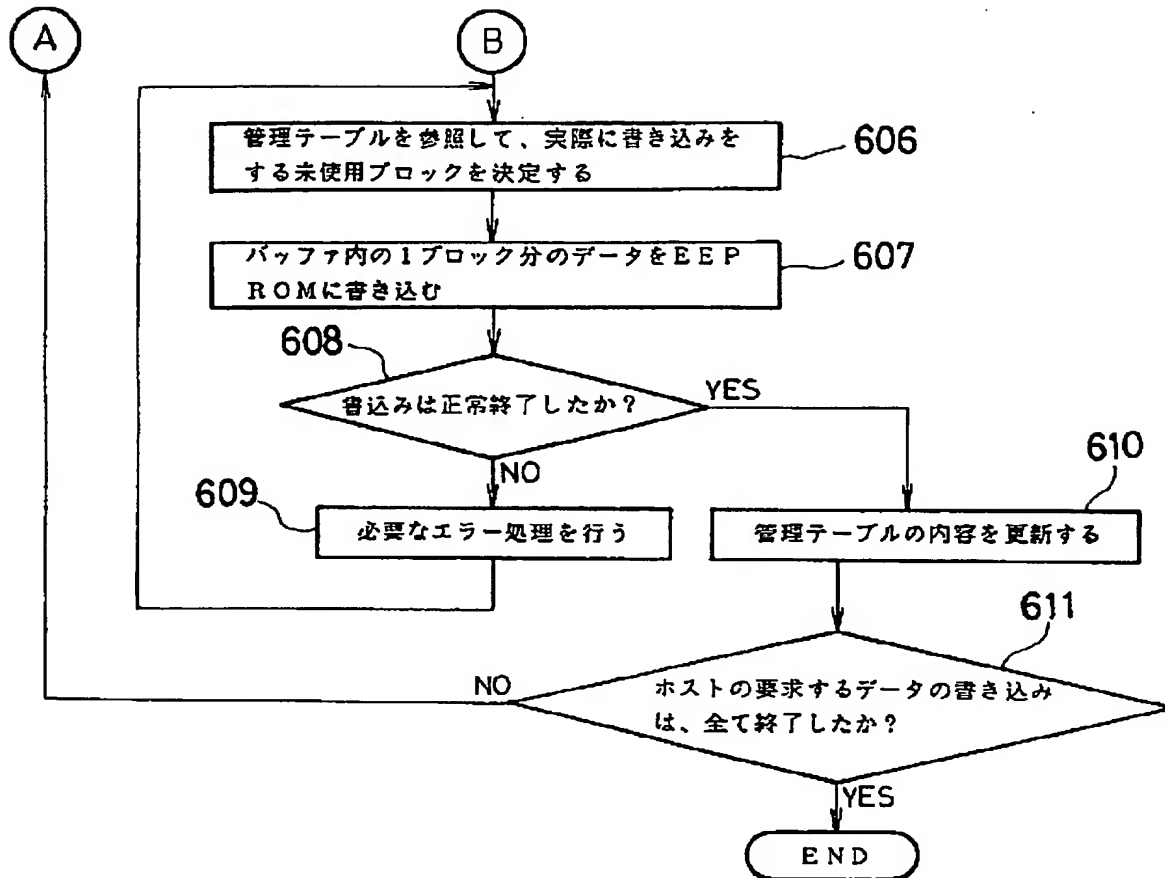
【図 7】



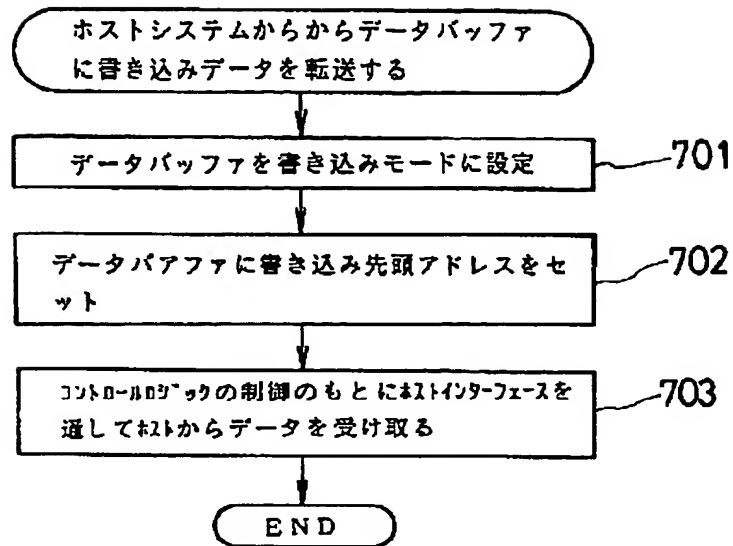
【図8】



【図 9】



【図10】



【図 11】

